

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-324843

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H01L 21/822

H01L 21/8244

H01L 27/04

H01L 27/11

(21)Application number : 2001-128664

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.04.2001

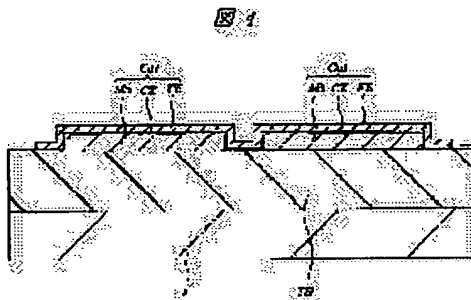
(72)Inventor : MITANI SHINICHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To form a capacitor for noise reduction measure superior in transition response at excellent yield.

SOLUTION: A capacitor insulation film CZ is formed by accumulating a silicon nitride film on wiring Ma applying power source electric potential (VDD) and wiring Mb applying ground electric potential (GND), tungsten films are accumulated on the capacitor insulation film CZ, and a floating electrode FE is formed by etching. The floating electrode FE is extended on the wirings Ma, Mb in a divided state. Power source noise can be reduced with capacitors Ca1, Ca2 comprising the wirings Ma, Mb, the capacitor insulation film CZ and the floating electrode FE. In addition, since the floating electrode FE is divided, the yield can be improved.



LEGAL STATUS

[Date of request for examination]

11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-324843

(P2002-324843A)

(43) 公開日 平成14年11月8日 (2002. 11. 8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L	21/822	H 0 1 L 27/04	C 5 F 0 3 8
	21/8244	27/10	3 8 1 5 F 0 8 3
	27/04	27/04	D
	27/11		

審査請求 未請求 請求項の数23 O L (全 29 頁)

(21) 出願番号 特願2001-128664(P2001-128664)

(22) 出願日 平成13年4月26日 (2001. 4. 26)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三谷 真一郎

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

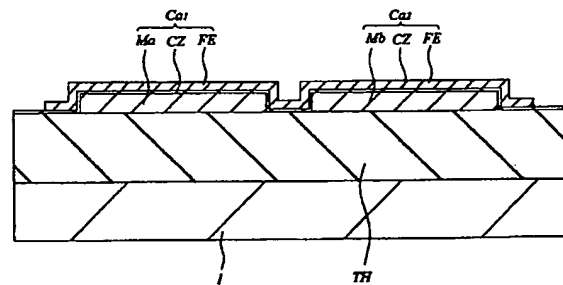
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 過渡応答が良いノイズ低減対策用のキャパシタを歩留まり良く形成する。

【解決手段】 電源電位 (VDD) が印加される配線M a および接地電位 (GND) が印加される配線M b 上に窒化シリコン膜を堆積することによりキャパシタ絶縁膜C Zを形成し、このキャパシタ絶縁膜C Z上にタングステン膜を堆積し、エッチングすることによりフローティング電極F Eを形成する。このフローティング電極F Eは、配線M a およびM b 上に、分割された状態で延在している。この配線M a、M b、キャパシタ絶縁膜C Zおよびフローティング電極F EからなるキャパシタC a 1とC a 2により電源ノイズを低減することができる。また、フローティング電極F Eを分割したので、歩留まりの向上を図ることができる。

図 4



【特許請求の範囲】

【請求項 1】 半導体基板の上部に形成された電源配線および接地配線を有する半導体集積回路装置であって、前記電源配線および接地配線上に形成された絶縁膜と、前記電源配線および接地配線上に前記絶縁膜を介して延在するよう形成された導電性膜であって、前記電源配線および接地配線と電気的に接続しない導電性膜と、を有し、前記電源配線、接地配線、導電性膜および絶縁膜とで容量素子を構成したことを特徴とする半導体集積回路装置。

【請求項 2】 半導体基板の上部に形成された電源配線および接地配線と、前記電源配線および接地配線上に形成された誘電体膜と、前記電源配線および接地配線上に前記誘電体膜を介して延在するよう形成された浮遊導電性膜と、を有することを特徴とする半導体集積回路装置。

【請求項 3】 前記導電性膜は、金属膜であることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 4】 前記絶縁膜は、酸化タンタル膜又は窒化シリコン膜であることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 5】 前記電源配線および接地配線は、前記半導体基板上の層間絶縁膜上に形成された配線であることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 6】 前記電源配線および接地配線は、前記半導体基板上の絶縁層の主表面に形成された埋め込み配線であることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 7】 前記電源配線、接地配線および導電性膜は、第 1 の方向に延在し、前記導電性膜は、前記第 1 の方向と直交する第 2 の方向に、複数に分割されて配置していることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 8】 前記電源配線および接地配線は、第 1 の方向に延在し、前記第 1 の方向に、複数に分割されて配置していることを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 9】 前記埋め込み配線は、銅膜よりなり、埋め込み配線の外周は銅拡散防止膜で覆われ、前記埋め込み配線上の銅拡散防止膜は、前記絶縁膜であることを特徴とする請求項 6 記載の半導体集積回路装置。

【請求項 10】 半導体基板の上部に第 1 の導電性膜を堆積し、パターニングすることによって、平走する電源配線および接地配線を形成する工程と、前記電源配線および接地配線上に絶縁膜を形成する工程と、前記絶縁膜上に第 2 導電性膜を堆積し、パターニングす

ることによって前記電源配線および接地配線上に前記絶縁膜を介して延在する浮遊電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 前記電源配線、接地配線および浮遊電極は、第 1 の方向に延在するよう形成され、前記浮遊電極は、前記第 1 の方向と直交する第 2 の方向に、複数に分割されて配置するよう形成されることを特徴とする請求項 10 記載の半導体集積回路装置の製造方法。

10 【請求項 12】 それぞれのゲート電極とドレインとが交差接続された一対の n チャネル型 MISFET を構成要素とするメモリセルを有する半導体集積回路装置であって、前記一対の n チャネル型 MISFET 上に形成された層間絶縁膜と、前記一対の n チャネル型 MISFET のゲート電極とドレインとを接続する第 1 および第 2 の導電層と、前記第 1 および第 2 の導電層上に形成された容量絶縁膜と、前記容量絶縁膜上に形成され、第 1 および第 2 の導電層上に前記容量絶縁膜を介して延在するよう形成された第 3 の浮遊導電層と、を有することを特徴とする半導体集積回路装置。

【請求項 13】 前記第 1 および第 2 の導電層は、前記層間絶縁膜中の接続孔内であって、前記ゲート電極からドレインまで延在する接続孔内に形成されていることを特徴とする請求項 12 記載の半導体集積回路装置。

30 【請求項 14】 前記メモリセルは、前記一対の n チャネル型 MISFET の他、一対の転送用 n チャネル型 MISFET および一対の p チャネル型負荷用 MISFET を構成要素とすることを特徴とする請求項 12 記載の半導体集積回路装置。

【請求項 15】 前記半導体集積回路装置は、前記メモリセルをマトリックス状に複数配置したメモリセルアレイを有し、前記第 3 の導電層は、前記メモリセルごとに分割されていることを特徴とする請求項 12 記載の半導体集積回路装置。

【請求項 16】 前記第 1、第 2 および第 3 の導電層は、金属膜であることを特徴とする請求項 12 記載の半導体集積回路装置。

【請求項 17】 前記絶縁膜は、窒化シリコン膜であることを特徴とする請求項 12 記載の半導体集積回路装置。

【請求項 18】 それぞれのゲート電極とドレインとが交差接続された一対の n チャネル型 MISFET を構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、前記一対の n チャネル型 MISFET を形成する工程と、

前記一对のnチャネル型MISFETのゲート電極上からドレインまで延在する第1および第2の導電層を形成する工程と、

前記第1および第2の導電層の上部に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に第3の導電層を形成し、パターンニングすることによって浮遊電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項19】 前記半導体集積回路装置は、前記メモリセルをマトリックス状に複数配置したメモリセルアレイを有し、

前記浮遊電極は、前記メモリセルごとに分割されていることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項20】 前記第1、第2および第3の導電層は、金属膜であることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項21】 前記絶縁膜は、窒化シリコン膜であることを特徴とする請求項18記載の半導体集積回路装置の製造方法。

【請求項22】 それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

前記一对のnチャネル型MISFETを形成する工程と、

前記一对のnチャネル型MISFET上に層間絶縁膜を形成する工程と、

前記一对のnチャネル型MISFETのゲート電極上からドレインまで延在する第1および第2の接続孔を形成する工程と、

前記第1および第2の接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、

前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記接続孔内に埋め込まれた第1および第2の導電層を形成する工程と、

前記第1および第2の導電層の上部に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に第3の導電層を形成し、パターンニングすることによって浮遊電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 前記半導体集積回路装置は、前記メモリセルをマトリックス状に複数配置したメモリセルアレイを有し、

前記浮遊電極は、前記メモリセルごとに分割されていることを特徴とする請求項22記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装

置およびその製造技術に関し、特に、配線上のノイズを低減するための容量の形成に適用して有効な技術に関する。

【0002】

【従来の技術】 半導体集積回路を構成する半導体素子は、配線を介して接続される。この配線には、種々のノイズが印加され得るため、このノイズの影響を低減し、集積回路の動作精度、例えば、動作速度を確保する必要がある。

【0003】 特に、入出力回路の切り替え時には、電源電位(VDD)や接地電位(GND)を供給するための配線(電源配線や接地配線)に、ノイズが生じ易く、所望の回路動作を妨げていた。

【0004】 このようなノイズの低減対策として、電源配線と接地配線との間にMOS(Metal Oxide Semiconductor)構造のキャパシタ(デカップリングキャパシタ)を接続する方法、例えば、MOSトランジスタのソース、ドレイン領域と接地配線を接続し、MOSトランジスタのゲート電極に電源配線を接続する方法が採用されている。このMOSキャパシタは、半導体集積回路を構成するMOSトランジスタと同様に形成することができる。

【0005】 前述のようなMOSキャパシタについては、例えば、IBM J. RES. DEVELOP. VOL. 41 NO. 4/5 JULY/SEPTEMBER 1977 P489-501、特開平7-135301号公報および特開平10-12825号公報に記載されている。これらの公報に記載されているMOSキャパシタは、チップ外周部に形成され、また、IBM J. RES. DEVELOP. VOL. 41 NO. 4/5 JULY/SEPTEMBER 1977 P489-501記載のMOSキャパシタには、ゲート酸化膜に欠陥が生じた場合の対策用にフューズが接続されている。

【0006】 一方、SRAM(Static Random Access Memory)メモリセルにおいて、 α 線によるソフトエラーの低減のため、メモリセルに容量を付加する方法が採用されている。 α 線によるソフトエラーとは、外界の宇宙線に含まれる α 線やLSIのパッケージ材料中に含まれる放射性原子から放出される α 線が、メモリセル内に入り、メモリセル中に保存されている情報を破壊する現象である。

【0007】 例えば、SRAMメモリセルは、1ビットの情報を記憶するフリップフロップ回路と2個の情報転送用MISFET(Metal Insulator Semiconductor FieldEffect Transistor)とで構成される。

【0008】 このメモリセル中の情報蓄積部(前記フリップフロップ回路の入出力部)に容量を付加し、 α 線によるソフトエラーを低減するのである。

【0009】 前述のような情報蓄積部の容量については、例えば、IEDM 1988 P205に記載されている。

【0010】

【発明が解決しようとする課題】しかしながら、ノイズの低減対策用にMOS構造のキャパシタを用いた場合は、ゲート電極、ゲート絶縁膜および半導体基板中の反転層で容量を構成することとなる。この反転層は、シート抵抗が大きく、過渡応答が悪くなる。

【0011】また、このようなMOSキャパシタを形成することで、半導体集積回路を構成するMOSトランジスタを形成する領域が制限される。また、MOSキャパシタを構成するゲート絶縁膜（酸化膜）に欠陥が生じた場合には、配線間がショートしてしまうため、欠陥対策用に前述したようなヒューズを準備しておく必要がある。

【0012】一方、SRAMメモリセル中の情報蓄積部に容量を付加する場合においても、前述のIEDM 1988のFig.6に示すようなプロセスフローでは、下部電極（LE）、上部電極（UE）およびこれらの電極のそれぞれとソース、ドレイン電極とを接続するためのスルーホールを形成しなければならない（詳細な工程は、追って説明する）。これらの工程には、マスクが4枚必要であり、工程数が増加してしまう。また、下部電極（LE）とソース、ドレイン電極とを接続するためのスルーホールは、容量絶縁膜をエッチングすることにより設けられるため、このエッチング時（フォトリソグラフィ工程も含む）に、容量絶縁膜の品質が劣化してしまう。その結果、容量絶縁膜中に欠陥が生じ易くなり、歩留まりが低下してしまう。

【0013】本発明の目的は、過渡応答が良いノイズ低減対策用のキャパシタを有する半導体集積回路装置を提供することにある。また、歩留まりが良く、集積度の高い半導体集積回路装置を提供することにある。

【0014】また、本発明の他の目的は、半導体集積回路装置のキャパシタ形成のための工程を削減することにある。また、半導体集積回路装置の信頼性を高め、歩留まりを向上させることにある。

【0015】本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】（1）本発明の半導体集積回路装置は、半導体集積回路装置の電源配線および接地配線上に絶縁膜を介して延在するよう形成された導電性膜を有し、前記導電性膜を前記電源配線および接地配線と電気的に接続しない浮遊導電性膜で構成する。

【0018】（2）本発明の半導体集積回路装置は、半導体集積回路装置の電源配線および接地配線であって、第1の方向に延在するこれらの配線上に、絶縁膜を介して延在するよう形成された導電性膜を有し、前記導電性膜を第1の方向と直交する第2の方向に、複数に分割さ

れて配置している浮遊導電性膜で構成する。

【0019】（3）本発明の半導体集積回路装置の製造方法は、半導体基板の上部に第1の導電性膜を堆積し、パターニングすることによって、平走する電源配線および接地配線を形成する工程と、前記電源配線および接地配線上に絶縁膜を形成する工程と、前記絶縁膜上に第2の導電性膜を堆積し、パターニングすることによって電源配線および接地配線上に前記絶縁膜を介して延在する浮遊電極を形成する工程と、を有する。この浮遊電極を、電源配線、接地配線が延在する第1の方向と直交する第2の方向に、複数に分割されて配置するよう形成してもよい。

【0020】（4）本発明の半導体集積回路装置は、それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、前記一対のnチャネル型MISFET上に形成された層間絶縁膜と、前記一対のnチャネル型MISFETのゲート電極とドレインとを接続する第1および第2の導電層と、前記第1および第2の導電層上に形成された容量絶縁膜と、前記容量絶縁膜上に形成され、第1および第2の導電層上に前記容量絶縁膜を介して延在するよう形成された第3の導電層と、を有する。

【0021】（5）本発明の半導体集積回路装置の製造方法は、それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、前記一対のnチャネル型MISFETを形成する工程と、前記一対のnチャネル型MISFETのゲート電極上からドレインまで延在する第1および第2の導電性膜を形成する工程と、前記第1および第2の導電層の上部に容量絶縁膜を形成する工程と、前記容量絶縁膜上に第3の導電性膜を形成し、パターニングすることによって浮遊電極を形成する工程と、を有する。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0023】（実施の形態1）次に、本発明の実施の形態である半導体集積回路装置の製造方法について説明する。図1～図6は、本発明の実施の形態である半導体集積回路装置の製造方法の一例を示した要部断面図である。

【0024】まず、図1に示すように、例えば、単結晶シリコンからなる半導体基板1の主表面に半MISFET等の半導体素子（図示せず）を形成し、その上部にCVD（Chemical Vapor deposition）法で、酸化シリコン膜を堆積した後、CMP（Chemical Mechanical Polishing）法で研磨してその表面を平坦化することによっ

て層間絶縁膜THを形成する。

【0025】次に、層間絶縁膜THをエッチングすることによりコンタクトホール(図示せず)を形成する。次いで、コンタクトホール内に例えば、タングステン膜を埋め込むことによりプラグ(図示せず)を形成する。

【0026】次いで、層間絶縁膜TH上に例えば、スパッタ法により窒化チタン膜(図示せず)、アルミニウム膜および窒化チタン膜(図示せず)を順次堆積し、所望の形状にパターニングすることにより、導電性膜である金属膜よりなる配線Ma、Mbを形成する。ここで、例えば、配線Maは、図示しない配線やプラグを介して電源電位(VDD)に接続され、配線Mbは、図示しない配線やプラグを介して接地電位(GND)に接続される。これらの配線(Ma、Mb)は、いわゆる電源配線であるため、配線幅はほぼ等しく、また、数十 μm と、他の配線より太く設計される。

【0027】次に、図2に示すように配線Ma、Mb上を含む層間絶縁膜TH上に例えば、プラズマCVD法により膜厚10nm程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜(誘電体膜)CZを形成する。ここで、キャパシタ絶縁膜CZには、電源電圧(VDD)の1/2の電圧がかかるため、この電圧に耐え得るようキャパシタ絶縁膜CZを構成する絶縁膜の膜厚を設定する。なお、窒化シリコン膜の他、例えば、酸化 tantalum 膜(Ta_2O_5)等の高誘電率の材料を堆積することによりキャパシタ絶縁膜CZを形成してもよい。このように、キャパシタ絶縁膜として高誘電率の材料を用いれば容量を大きくすることができる。

【0028】次に、図3に示すようにキャパシタ絶縁膜CZ上に例えば、スパッタ法により膜厚100nm程度のタングステン膜Wを堆積する。

【0029】次いで、図4に示すように導電性膜もしくは金属膜であるタングステン膜W上のレジスト膜(図示せず)をマスクに、タングステン膜Wをエッチングすることによりフローティング電極(浮遊導電性膜又は浮遊電極)FEを形成する。このフローティング電極FEは、下層の配線Maおよび配線Mbや上層の配線と電気的に接続されない。

【0030】図5に、フローティング電極FE形成後の半導体基板1の平面図を示す。図5に示すように、フローティング電極FEは、配線MaおよびMb上に、分割された状態で延在している。ここで、分割された複数のフローティング電極をユニット電極UEと示し、このユニット電極UE、キャパシタ絶縁膜CZおよび配線(MaおよびMb)で構成されるキャパシタをユニットキャパシタUCと言う。

【0031】この後、層間絶縁膜、配線、キャパシタ絶縁膜およびフローティング電極FEの形成を繰り返すことにより複数層の配線を有する半導体集積回路装置が形成される。但し、すべての電源配線および接地配線上に

キャパシタ絶縁膜およびフローティング電極FEを形成する必要はない。

【0032】このように、本実施の形態によれば、配線Ma(VDD)を下部電極とし、フローティング電極FEを上部電極とし、これらの間にキャパシタ絶縁膜CZを有するキャパシタ(容量素子)Ca₁と、配線Mb(GND)を下部電極とし、フローティング電極FEを上部電極とし、これらの間にキャパシタ絶縁膜CZを有するキャパシタ(容量素子)Ca₂を形成することができる。これらのキャパシタ(容量素子)Ca₁、Ca₂は、配線Maと配線Mbとの間に直列に接続されている。

【0033】従って、これらのキャパシタ(容量素子)Ca₁、Ca₂により電源ノイズを低減することができる。

【0034】また、フローティング電極FEは、配線MaおよびMb上に、分割された状態で延在しているの、歩留まりの低下を回避することができる。この理由を以下に示す。

【0035】ここで、フローティング電極FEが、配線MaおよびMbと対向している面積をAとし、このAをN等分したユニット電極UEをN個形成したと仮定する。なお、分割数NがいくらであってもAが同じであれば、配線MaとMbとの間のキャパシタは、一定であり、電源ノイズの低減効果は変わらない。

【0036】各ユニットキャパシタUCが、配線Maと対向している面積は、 $A/2N$ であり、また、各ユニットキャパシタUCが、配線Mbと対向している面積も、 $A/2N$ である。

【0037】この場合、各ユニットキャパシタUCが不良になるためには、あるユニットキャパシタUCについて、このユニットキャパシタUCと配線Maとの間の耐圧が不良であり、かつ、このユニットキャパシタUCと配線Mbとの間の耐圧が不良である場合に限られる。

【0038】例えば、ユニットキャパシタUCと配線Maとの間の耐圧が不良でない確率は、 $\text{Exp}(-A \cdot D / (2N))$ であり、ユニットキャパシタUCと配線Mbとの間の耐圧が不良でない確率は、 $\text{Exp}(-A \cdot D / (2N))$ である。ここで、Dは、欠陥密度を示す。

【0039】従って、ユニットキャパシタUCが良品である確率(P_{unit})は、 $P_{\text{unit}} = 1 - (1 - \text{Exp}(-A \cdot D / (2N))) \cdot (1 - \text{Exp}(-A \cdot D / (2N)))$ となり、N個のユニットキャパシタが良品である確率(P)は、 $P = P_{\text{unit}}^N$ (P_{unit} のn乗)となる。

【0040】図6は、N個のユニットキャパシタが全て良品である確率(P)をキャパシタ歩留まりとして、N(分割数)に対して示したものである。ここでは、欠陥密度(D)は、 $5/\text{cm}^2$ 、対向面積(A)は、 1cm^2 とした。図6に示すように、フローティング電極FEを

分割しなかった場合 ($N=1$) と比較し、フローティング電極FEを分割する ($N \geq 2$) ことにより、キャパシタ歩留まりが向上する。また、このキャパシタ歩留まりは、分割数 (N) が、大きくなるに従って、大きくなり1に近づく。

【0041】このように、フローティング電極FEを分割することにより、配線MaとMbとの間に直列に接続されるキャパシタの歩留まり (良品率)、引いては、これらを有する半導体集積回路装置の歩留まりを向上させることができる。

【0042】さらに、前述のMOS構造のキャパシタと異なり、MIM (Metal Insulator Metal) 構造をとることができるので、周波数特性を向上させることができ、また、急峻なパルス状のノイズにも対応することができる。

【0043】また、フローティング電極FE下にも半導体集積回路を構成するMOSトランジスタを形成することができ、前述のMOS構造のキャパシタの場合のように領域が制限されることがない。また、MOSキャパシタの欠陥対策用にヒューズを準備する必要がなく、また、MOSキャパシタの良否判定や、ヒューズ切断工程が不要で、キャパシタの構成やその製造工程が複雑になるといった、MOS構造のキャパシタを用いた場合の問題点を解消することができる。

【0044】なお、図36に示すように、配線Ma、Mbをこれらの配線が延在する方向に複数本に分割して形成してもよい。この場合、分割された配線の側壁にもキャパシタ絶縁膜CZが形成されるため、容量を大きくすることができる。

【0045】(実施の形態2) 次に、本発明の実施の形態である半導体集積回路装置の製造方法について説明する。図7～図24は、本発明の実施の形態である半導体集積回路装置の製造方法の一例を示した半導体基板の要部断面図もしくは要部平面図である。

【0046】まず、図7に示すような、その主表面に例えば、MISFETのような半導体素子が形成された半導体基板1を準備する。図7に示すように、MISFETのゲート電極9は、半導体基板1上に延在しており、このゲート電極9の両側には、ソース、ドレイン領域が存在している (図1に示す断面中には露出しない)。

【0047】また、MISFET (ゲート電極9) 上には、酸化シリコン膜15が形成されており、この酸化シリコン膜15中には、ローカルインターコネク配線LIが形成されている。このローカルインターコネク配線LIは、例えば、MISFETのゲート電極9やMISFETのソース、ドレイン領域に接続されている。なお、半導体基板1中には、素子分離溝内に埋め込まれた酸化シリコン膜よりなる素子分離2が形成されている。また、ゲート電極9は、例えば、リンをドープした低抵抗多結晶シリコン膜、窒化タングステン膜およびタング

ステン膜の積層膜からなる。また、ローカルインターコネク配線LIは、例えば、酸化シリコン膜15中に形成された溝内にタングステン膜を埋め込むことにより形成する。

【0048】この半導体基板1上に酸化シリコン膜等の層間絶縁膜とアルミニウム膜等の導電性膜を交互に堆積し、複数の配線を形成するのであるが、以下層間絶縁膜と配線の形成について図8～図24を参照しながら詳細に説明する。

10 【0049】図8に示すようにローカルインターコネク配線LI上を含む酸化シリコン膜15上に、CVD法で酸化シリコン膜を堆積した後、酸化シリコン膜をCMP法で研磨してその表面を平坦化することによって層間絶縁膜TH1を形成する。

【0050】次に、層間絶縁膜TH1上にフォトレジスト膜を形成し (図示せず)、このフォトレジスト膜をマスクに層間絶縁膜TH1をエッチングすることによりローカルインターコネク配線LI上にコンタクトホールC1を形成する。

20 【0051】次いで、コンタクトホールC1内を含む層間絶縁膜TH1上に、CVD法によりタングステン膜を堆積し、このタングステン膜を層間絶縁膜TH1が露出するまでCMP法により研磨することによってコンタクトホールC1内にプラグP1を形成する。次いで、層間絶縁膜TH1およびプラグP1上にスパッタ法により窒化チタン膜 (図示せず)、アルミニウム膜および窒化チタン膜 (図示せず) を順次堆積し、所望の形状にパターニングすることにより、第1層配線M1を形成する。ここで、第1層配線M1のうち、配線M1aには、電源電位 (VDD) が印加され、配線M1bには、接地電位 (GND) が印加される。

30 【0052】次に、図9に示すように第1層配線M1上を含む層間絶縁膜TH1上にプラズマCVD法により膜厚10nm程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜CZ1を形成する。ここで、キャパシタ絶縁膜CZ1には、電源電圧 (VDD) に耐え得るようなキャパシタ絶縁膜CZ1の膜厚を設定する。なお、実施の形態1で説明した図2に示すように、キャパシタ絶縁膜CZ1を、配線上に一定の膜厚で形成してもよい。40 ここでは、便宜上、キャパシタ絶縁膜の表面を平坦に記載してある (以降、他のキャパシタ絶縁膜CZ2～CZ7等について同じ。また、図10～図23および図25～図28について同じ)。

50 【0053】次に、図10に示すようにキャパシタ絶縁膜CZ1上にスパッタ法によりタングステン膜を堆積し、レジスト膜 (図示せず) をマスクに、タングステン膜をエッチングすることによりフローティング電極FE1を形成する。このフローティング電極FE1は、電源電位 (VDD) が印加される第1層配線M1a、および接地電位 (GND) が印加される第1層配線M1b上に形

成される。第1層配線M1bは、第1層配線M1aの隣に位置し、また、この配線M1aと平行に延在しており、フローティング電極FE1もこれらの配線M1a、M1bと同じ方向に延在している。また、フローティング電極FE1は、実施に形態1の場合と同様に、配線M1a、M1bが延在する方向と直交する方向に複数に分割された状態で延在している(図5参照)。

【0054】次に、図11に示すようにフローティング電極FE1上に層間絶縁膜TH2を形成する。層間絶縁膜TH2は、前記層間絶縁膜TH1と同様に形成する。その後、第1層配線M1上の層間絶縁膜TH2およびキャパシタ絶縁膜CZ1を除去することによりコンタクトホールC2を形成し、このコンタクトホールC2内にプラグP2を形成する。このプラグP2は、プラグP1と同様に形成する。次いで、層間絶縁膜TH2およびプラグP2上に第1層配線と同様に第2層配線M2を形成する。

【0055】次いで、図12に示すように第2層配線M2上に層間絶縁膜TH3を形成する。層間絶縁膜TH3は、前記層間絶縁膜TH1と同様に形成する。その後、層間絶縁膜TH3中にコンタクトホールC3を形成し、このコンタクトホールC3内にプラグP3を形成する。このプラグP3は、プラグP1と同様に形成する。次いで、層間絶縁膜TH3およびプラグP3上に第1層配線と同様に第3層配線M3を形成する。

【0056】次いで、図13に示すように第3層配線M3上に層間絶縁膜TH4を形成する。層間絶縁膜TH4は、前記層間絶縁膜TH1と同様に形成する。その後、層間絶縁膜TH4中にコンタクトホール(図示せず)を形成し、このコンタクトホール内にプラグ(図示せず)を形成する。このプラグは、プラグP1と同様に形成する。次いで、層間絶縁膜TH4および図示しないプラグ上に第1層配線と同様に第4層配線M4を形成する。

【0057】次いで、図14に示すように第4層配線M4上に層間絶縁膜TH5を形成する。層間絶縁膜TH5は、前記層間絶縁膜TH1と同様に形成する。その後、層間絶縁膜TH5中にコンタクトホールC5を形成し、このコンタクトホールC5内にプラグP5を形成する。このプラグP5は、プラグP1と同様に形成する。次いで、層間絶縁膜TH5およびプラグP5上に第1層配線と同様に第5層配線M5を形成する。ここで、第5層配線M5のうち、配線M5aには、電源電位(VDD)が印加され、配線M5bには、接地電位(GND)が印加される。

【0058】次に、図15に示すように第5層配線M5上を含む層間絶縁膜TH5上にプラズマCVD法により膜厚10nm程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜CZ5を形成する。ここで、キャパシタ絶縁膜CZ5には、電源電圧(VDD)に耐え得るようキャパシタ絶縁膜CZ5の膜厚を設定する。

【0059】次に、図16に示すようにキャパシタ絶縁膜CZ5上にスパッタ法によりタングステン膜を堆積し、レジスト膜(図示せず)をマスクに、タングステン膜をエッチングすることによりフローティング電極FE5を形成する。このフローティング電極FE5は、電源電位(VDD)が印加される第5層配線M5a、および接地電位(GND)が印加される第5層配線M5b上に形成される。第5層配線M5bは、第5層配線M5aの隣に位置し、また、この配線M5aと平行に延在しており、フローティング電極FE5もこれらの配線M5a、M5bと同じ方向に延在している。また、フローティング電極FE5は、実施に形態1の場合と同様に、配線M5a、M5bが延在する方向と直交する方向に複数に分割された状態で延在している(図5参照)。

【0060】次に、図17に示すようにフローティング電極FE5上に層間絶縁膜TH6を形成する。層間絶縁膜TH6は、前記層間絶縁膜TH1と同様に形成する。その後、第5層配線M5上の層間絶縁膜TH6およびキャパシタ絶縁膜CZ5を除去することによりコンタクトホール(図示せず)を形成し、このコンタクトホール内にプラグ(図示せず)を形成する。このプラグは、プラグP1と同様に形成する。次いで、層間絶縁膜TH6およびプラグ上に第1層配線と同様に第6層配線を形成する。ここで、図17中のM6aは、第6層配線のうち、電源電位(VDD)が印加される配線であり、この第6層配線(M6a)の隣には、この配線M6aと平行に延在し、接地電位(GND)が印加される第1層配線M6bが存在する。但し、配線M6bは、図17の断面方向には露出しない。

【0061】次に、図18に示すように第6層配線M6a上を含む層間絶縁膜TH6上にプラズマCVD法により膜厚10nm程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜CZ6を形成する。ここで、キャパシタ絶縁膜CZ6には、電源電圧(VDD)に耐え得るようキャパシタ絶縁膜CZ6の膜厚を設定する。

【0062】次に、図19に示すようにキャパシタ絶縁膜CZ6上にスパッタ法によりタングステン膜を堆積し、レジスト膜(図示せず)をマスクに、タングステン膜をエッチングすることによりフローティング電極FE6を形成する。このフローティング電極FE6は、電源電位(VDD)が印加される第6層配線M6aおよび接地電位(GND)が印加される第6層配線M6b上に形成される。また、フローティング電極FE5は、これらの配線M6a、M6bと同じ方向に延在している。また、図示するようにフローティング電極FE6は、実施に形態1の場合と同様に、配線M6a、M6bが延在する方向と直交する方向に複数に分割された状態で延在している。

【0063】次に、図20に示すようにフローティング電極FE6上に層間絶縁膜TH7を形成する。層間絶縁

膜TH7は、前記層間絶縁膜TH1と同様に形成する。その後、第6層配線M6a上の層間絶縁膜TH7およびキャパシタ絶縁膜CZ6を除去することによりコンタクトホールC6を形成し、このコンタクトホールC6内にプラグP6を形成する。このプラグP6は、プラグP1と同様に形成する。次いで、層間絶縁膜TH6およびプラグP6上に第1層配線と同様に第7層配線M7を形成する。ここで、第7層配線M7のうち、配線M7aには、電源電位(VDD)が印加され、配線M7bには、接地電位(GND)が印加される。

【0064】次に、図21に示すように第7層配線M7上を含む層間絶縁膜TH7上にプラズマCVD法により膜厚10nm程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜CZ7を形成する。キャパシタ絶縁膜CZ7には、電源電圧(VDD)に耐え得るようキャパシタ絶縁膜CZ7の膜厚を設定する。

【0065】次に、図22に示すようにキャパシタ絶縁膜CZ7上にスパッタ法によりタングステン膜を堆積し、レジスト膜(図示せず)をマスクに、タングステン膜をエッチングすることによりフローティング電極FE7を形成する。このフローティング電極FE7は、電源電位(VDD)が印加される第7層配線M7a、および接地電位(GND)が印加される第7層配線M7b上に形成される。第7層配線M7bは、第7層配線M7aの隣に位置し、また、この配線M7aと平行に延在しており、フローティング電極FE7もこれらの配線M7a、M7bと同じ方向に延在している。また、フローティング電極FE7は、実施に形態1の場合と同様に、配線M7a、M7bが延在する方向と直交する方向に複数に分割された状態で延在している(図5参照)。

【0066】次に、図23に示すようにフローティング電極FE7上に酸化シリコン膜および窒化シリコン膜を順次堆積することにより、これらの膜からなるバッシベーション膜PVを形成する。

【0067】図24は、本実施の形態の半導体集積回路装置の要部平面図である。図24に示すように、第7層配線M7のうち配線M7a、M7bは、素子形成領域201の周辺部に環状に形成されている。ここで、環状に形成されたこれらの配線の内側をコア領域202という。また、素子形成領域201の外周には、ボンディングパッドBPが形成されている。ボンディングパッドBPは、最上層配線である第7層配線M7で形成されている。

【0068】このように、本実施の形態によれば、第1、第5、第6および第7層配線のうち電源電位(VDD)および接地電位(GND)が印加される配線対上にキャパシタ絶縁膜(CZ1等)を介してフローティング電極(FE1等)を形成したので、実施の形態1で説明したように、電源ノイズを低減することができる。また、フローティング電極(FE1等)を、これらの配線

上に、分割された状態で延在させたので、歩留まりの低下を回避することができる。また、MIM構造のキャパシタとなるので、周波数特性を向上させることができ、また、急峻なパルス状のノイズにも対応することができる。

【0069】さらに、フローティング電極下、例えば、環状に形成された配線M7a、M7bの下にも、にも半導体集積回路を構成するMOSトランジスタを形成することができ、MOSトランジスタの形成領域が制限されることがない。また、実施の形態1で説明したように、キャパシタの構成やその製造工程が複雑になるといった、MOS構造のキャパシタを用いた場合の問題点を解消することができる。

【0070】なお、本実施の形態では、4つの層の配線(第1、第5、第6および第7層配線)上に、キャパシタ絶縁膜(CZ1等)を介してフローティング電極(FE1等)を形成したが、これらを4層以上の配線もしくは4層以下の配線について形成してもよい。また、本実施の形態では、第1、第5、第6および第7層配線上にキャパシタ絶縁膜(CZ1等)を介してフローティング電極(FE1等)を形成したが、これらを他の層の配線(第2～第4層配線)のうち電源電位(VDD)および接地電位(GND)が印加される配線対上に形成してもよい。

【0071】但し、例えばM7(M7a、M7b、FE7)のみでキャパシタを形成する場合、キャパシタからの電流が、M6、M5…M1を流れるため、M6～M1の抵抗インダクタンスがノイズの原因になる。このため、下層(例えばM1)にキャパシタを形成する効果は大きい。

【0072】なお、実施の形態1と同様に、窒化シリコン膜の他、例えば、酸化タンタル膜等の高誘電率の材料を用いてキャパシタ絶縁膜CZを形成してもよい。

【0073】(実施の形態3) 実施の形態2においては、第7層配線M7のうち配線M7a、M7bをコア領域の外側に環状に形成したが、これらの配線をコア領域内に形成してもよい。

【0074】次に、本発明の実施の形態である半導体集積回路装置の製造方法について説明する。なお、層間絶縁膜TH7およびその内部に形成されるプラグP6の形成工程までは、実施の形態2の場合と同様と同様であるためその説明を省略する。

【0075】図25に示す層間絶縁膜TH7およびプラグP6上にスパッタ法により窒化チタン膜(図示せず)、アルミニウム膜および窒化チタン膜(図示せず)を順次堆積し、所望の形状にパターンニングすることにより、第7層配線M7を形成する。ここで、第7層配線M7のうち、配線M7aには、電源電位(VDD)が印加され、配線M7bには、接地電位(GND)が印加される。また、これらの配線M7a、M7bは、後述する素

子形成領域 201 の内部にも形成される。

【0076】次に、図 26 に示すように第 7 層配線 M7 上を含む層間絶縁膜 TH7 上にプラズマ CVD 法により膜厚 10 nm 程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜 CZ7 を形成する。ここで、キャパシタ絶縁膜 CZ7 には、電源電圧 (VDD) に耐え得るようキャパシタ絶縁膜 CZ7 の膜厚を設定する。

【0077】次に、キャパシタ絶縁膜 CZ7 上にスパッタ法によりタングステン膜を堆積し、レジスト膜 (図示せず) をマスクに、タングステン膜をエッチングすることによりフローティング電極 FE7 を形成する。このフローティング電極 FE7 は、電源電位 (VDD) が印加される第 7 層配線 M7 a、および接地電位 (GND) が印加される第 7 層配線 M7 b 上に形成される。第 7 層配線 M7 b は、第 7 層配線 M7 a の隣に位置し、また、この配線 M7 a と平行に延在しており、フローティング電極 FE7 もこれらの配線 M7 a、M7 b と同じ方向に延在している。また、フローティング電極 FE7 は、実施に形態 1 の場合と同様に、配線 M7 a、M7 b が延在する方向と直交する方向に複数に分割された状態で延在している (図 5 参照)。さらに、このフローティング電極 FE7 は、後述するプラグ P7 の形成領域を避けて形成される。

【0078】次に、図 27 に示すようにフローティング電極 FE7 上に酸化シリコン膜および窒化シリコン膜を順次堆積することにより、これらの膜からなるパッシベーション膜 PV を形成する。

【0079】次いで、図 28 に示すように配線 M7 a、M7 b を含む第 7 層配線上のパッシベーション膜 PV およびキャパシタ絶縁膜 CZ7 をエッチングすることによりコンタクトホール C7 を形成する。次いで、コンタクトホール C7 内を含むパッシベーション膜 PV 上に、CVD 法によりタングステン膜を堆積し、このタングステン膜をパッシベーション膜 PV が露出するまで CMP 法により研磨することによってコンタクトホール C7 内にプラグ P7 を形成する。

【0080】次いで、プラグ P7 上にスパッタ法により窒化チタン膜等からなるバリア金属膜 BM を形成し、さらに、その上部にハンダバンプ電極 BPn を形成する (図 29 参照)。ここで、ハンダバンプ電極 BPn のうち、ハンダバンプ電極 BP a には、電源電位 (VDD) が印加され、ハンダバンプ電極 BP b には、接地電位 (GND) が印加される。ハンダバンプ電極 BP o は、それ以外のバンプ電極である。

【0081】図 29 は、本実施の形態の半導体集積回路装置の要部平面図である。図 29 に示すように、第 7 層配線 M7 (M7 a、M7 b 含む) は、素子形成領域 201 の内部に形成され、その上部に形成されたハンダバンプ電極 BPn (BP o、BP a、BP b 含む) が露出している。

【0082】この図 29 の形態では、素子領域の内部に M7 a、M7 b が散在するので、M7 a、M7 b の下部に MOS キャパシタを設ける公知の方法では集積度の低下が大きくなるという問題が生じる。

【0083】しかしながら、本実施の形態によれば、第 1、第 5、第 6 および第 7 層配線のうち電源電位 (VDD) および接地電位 (GND) が印加される配線対上にキャパシタ絶縁膜を介してフローティング電極を形成したので、実施の形態 2 で説明した効果を得ることができる。また、第 7 層配線 M7 のうち配線 M7 a、M7 b の下にも半導体集積回路を構成する MOS トランジスタを形成することができ、前記 MOS トランジスタの形成領域が制限されることがない。

【0084】(実施の形態 4) 実施の形態 1～3 においては、各配線を層間絶縁膜上に形成したが、各配線を絶縁膜中に形成された溝内に金属膜を埋め込むことにより形成してもよい。

【0085】次に、本発明の実施の形態である半導体集積回路装置の製造方法について説明する。図 30～図 35 は、本発明の実施の形態である半導体集積回路装置の製造方法の一例を示した半導体基板の要部断面図である。

【0086】まず、図 30 に示すように、単結晶シリコンからなる半導体基板 1 の主表面に MISFET 等の半導体素子 (図示せず) を形成し、その上部に酸化シリコン膜を堆積した後、CMP 法で研磨してその表面を平坦化することによって層間絶縁膜 TH を形成する。

【0087】次いで、層間絶縁膜 TH 上に、窒化シリコン膜 Ha および酸化シリコン膜 Hb を CVD 法により順次堆積し、これらの膜から成る配線溝用絶縁膜 H を形成する。次いで、配線形成予定領域の配線溝用絶縁膜 H をエッチングすることにより配線溝 HMa、HMB を形成する。なお、窒化シリコン膜 Ha は、前記エッチングの際のエッチングストッパーとして利用される。

【0088】次に、図 31 に示すように、配線溝 HMa、HMB 内を含む配線溝用絶縁膜 H 上に窒化チタンからなるバリア層 BM をスパッタ法もしくは CVD 法により堆積し、次いで、バリア層 BM 上に、銅膜 M をスパッタ法により形成する。

【0089】次に、図 32 に示すように、配線溝外部の銅膜 M およびバリア層 BM を CMP により除去することにより銅膜 M およびバリア層 BM から成る配線 Ma、Mb (埋め込み配線) を形成する。ここで、例えば、配線 Ma は、図示しない配線やプラグを介して電源電位 (VDD) に接続され、配線 Mb は、図示しない配線やプラグを介して接地電位 (GND) に接続される。これらの配線 (Ma、Mb) は、いわゆる電源配線であるため、配線幅はほぼ等しく、また、数十 μm と、他の配線より太く設計される。

【0090】次に、図 33 に示すように配線 Ma、Mb

上を含む層間絶縁膜TH上にプラズマCVD法により膜厚10nm程度の窒化シリコン膜を堆積することによりキャパシタ絶縁膜CZを形成する。ここで、キャパシタ絶縁膜CZには、電源電圧(VDD)に耐え得るようキャパシタ絶縁膜CZの膜厚を設定する。なお、この場合キャパシタ絶縁膜CZは、配線Ma、Mb中の銅が層間絶縁膜中に拡散することを防止する役割も果たす。

【0091】次に、図34に示すようにキャパシタ絶縁膜CZ上にスパッタ法により膜厚100nm程度のタングステン膜Wを堆積する。

【0092】次いで、図35に示すようにタングステン膜W上のレジスト膜(図示せず)をマスクに、タングステン膜をエッチングすることによりフローティング電極FEを形成する。このフローティング電極FEは、下層の配線MaおよびMbや上層の配線と電気的に接続されない。また、このフローティング電極FEは、配線MaおよびMb上に、分割された状態で延在している(図5参照)。

【0093】なお、図37に示すように、配線Ma、Mb上にバリア膜(銅拡散防止膜)としてBa、Bbを形成し、このバリア膜Ba、Bb上に、例えば、酸化 tantalum膜を堆積することによりキャパシタ絶縁膜CZを形成し、さらに、フローティング電極FEを形成してもよい。

【0094】この後、層間絶縁膜、配線溝用絶縁膜、配線、キャパシタ絶縁膜およびフローティング電極の形成を繰り返すことにより複数層の配線を有する半導体集積回路装置が形成される。但し、すべての配線上にキャパシタ絶縁膜およびフローティング電極形成する必要はない。

【0095】また、実施の形態2および3の7層の配線を前述の埋め込み配線で形成してもよい。なお、この場合の半導体集積回路装置の製造方法については、実施の形態2もしくは3で説明した場合と、配線の形成方法が、前述の配線溝用絶縁膜の形成、配線溝の形成、金属膜の埋め込みおよびCMPとなる他は同様であるためその説明を省略する。

【0096】このように、本実施の形態によれば、電源電位(VDD)および接地電位(GND)が印加される配線対上にキャパシタ絶縁膜を介してフローティング電極を形成したので、電源ノイズを低減することができる等、実施の形態1〜3で説明した効果と同様の効果を得ることができる。

【0097】また、本実施の形態によれば、各配線を埋め込み配線としたので、キャパシタ絶縁膜の平坦性を確保することができ、キャパシタの信頼性を向上させることができる。

【0098】(実施の形態5) 実施の形態1〜4においては、電源電位(VDD)および接地電位(GND)が印加される配線対上にキャパシタ絶縁膜を介してフロー

ティング電極を形成したが、SRAMメモリの情報蓄積部上にキャパシタ絶縁膜およびフローティング電極(容量)を形成してもよい。

【0099】図38は、本実施の形態であるSRAM(Static Random Access Memory)のメモリセルを示す等価回路図である。図示するように、このメモリセルMCは、一対の相補性データ線(データ線DL、データ線/バー)DLとワード線WLとの交差部に配置され、一対の駆動用MISFETQd1、Qd2、一対の負荷用MISFETQp1、Qp2および一対の転送用MISFETQt1、Qt2により構成されている。駆動用MISFETQd1、Qd2および転送用MISFETQt1、Qt2はnチャネル型MISFETで構成され、負荷用MISFETQp1、Qp2はpチャネル型MISFETで構成されている。

【0100】メモリセルMCを構成する上記6個のMISFETのうち、駆動用MISFETQd1および負荷用MISFETQp1は、CMOSインバータINV1を構成し、駆動用MISFETQd2および負荷用MISFETQp2は、CMOSインバータINV2を構成している。これら一対のCMOSインバータINV1、INV2の相互の入出力端子(蓄積ノードA、B)は、交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。また、このフリップフロップ回路の一方の入出力端子(蓄積ノードA)は、転送用MISFETQt1のソース、ドレイン領域の一方に接続され、他方の入出力端子(蓄積ノードB)は、転送用MISFETQt2のソース、ドレイン領域の一方に接続されている。

【0101】さらに、転送用MISFETQt1のソース、ドレイン領域の他方はデータ線DLに接続され、転送用MISFETQt2のソース、ドレイン領域の他方はデータ線/DLに接続されている。また、フリップフロップ回路の一端(負荷用MISFETQp1、Qp2の各ソース領域)は電源電圧(Vcc)に接続され、他端(駆動用MISFETQd1、Qd2の各ソース領域)は基準電圧(Vss)に接続されている。

【0102】上記回路の動作を説明すると、一方のCMOSインバータINV1の蓄積ノードAが高電位(“H”)であるときには、駆動用MISFETQd2がONになるので、他方のCMOSインバータINV2の蓄積ノードBが低電位(“L”)になる。従って、駆動用MISFETQd1がOFFになり、蓄積ノードAの高電位(“H”)が保持される。すなわち、一対のCMOSインバータINV1、INV2を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。この蓄積ノードAおよびB上に前述のキャパシタ絶縁膜およびフローティング電極(容量)を付加する。

【0103】転送用MISFETQt1、Qt2のそれ

10

20

30

40

50

それぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFETQt1, Qt2の導通、非導通が制御される。すなわち、ワード線WLが高電位(“H”)であるときには、転送用MISFETQt1, Qt2がONになり、フリップフロップ回路と相補性データ線(データ線DL、/DL)とが電氣的に接続されるので、蓄積ノードA、Bの電位状態(“H”または“L”)がデータ線DL、/DLに現れ、メモリセルMCの情報として読み出される。

【0104】メモリセルMCに情報を書き込むには、ワード線WLを“H”電位レベル、転送用MISFETQt1, Qt2をON状態にしてデータ線DL、/DLの情報を蓄積ノードA、Bに伝達する。

【0105】次に、本実施の形態のSRAMの製造方法を図39～図61を用いて説明する。

【0106】まず、図39、図40および図41に示すように、半導体基板1中に素子分離2を形成する。図41は、メモリセル約1個分の領域を示す半導体基板の平面図であり、図39、図40は、それぞれ図41のA-A断面図、B-B断面図である。この素子分離2は、以下のように形成する。例えばp型の単結晶シリコンからなる半導体基板1をエッチングすることにより深さ250nm程度の素子分離溝を形成する。

【0107】その後、半導体基板1を約1000℃で熱酸化することによって、溝の内壁に膜厚10nm程度の薄い酸化シリコン膜(図示せず)を形成する。

【0108】次に、溝の内部を含む半導体基板1上にCVD法で膜厚450～500nm程度の酸化シリコン膜を堆積し、化学的機械研磨(CMP)法で溝の上部の酸化シリコン膜を研磨し、その表面を平坦化する。

【0109】次に、半導体基板1にp型不純物(ホウ素)およびn型不純物(例えばリン)をイオン打ち込みした後、約1000℃の熱処理で上記不純物を拡散させることによって、半導体基板1にp型ウエル3およびn型ウエル4を形成する。図41に示すように、半導体基板1には、p型ウエル3、n型ウエル4、p型ウエル内の活性領域Ap1、Ap2、およびn型ウエル内の活性領域An1、An2が形成される。p型ウエル3とn型ウエル4(An1、An2)が形成される。これら活性領域An1、An2、Ap1、Ap2は、酸化シリコン膜が埋め込まれた素子分離2で囲まれている。

【0110】また、追って詳細に説明するように、メモリセルMCを構成する6個のMISFET(Qt1、Qt2、Qd1、Qd2、Qp1、Qp2)のうちnチャネル型MISFET(Qt1、Qd1)は、活性領域Ap1(p型ウエル3)上に形成され、nチャネル型MISFET(Qt2、Qd2)は、活性領域Ap2(p型ウエル3)上に形成される。また、pチャネル型MISFET(Qp2)は、活性領域An1(n型ウエル4)上に形成され、pチャネル型MISFET(Qp

1)は、活性領域An2(n型ウエル4)上に形成される。

【0111】次に、半導体基板1の主表面にnチャネル型MISFET(Qt1、Qd1、Qt2、Qd2)およびpチャネル型MISFET(Qp1、Qp2)を形成する。

【0112】まず、フッ酸系の洗浄液を用いて半導体基板1(p型ウエル3およびn型ウエル4)の表面をウェット洗浄した後、p型ウエル3およびn型ウエル4のそれぞれの表面に膜厚6nm程度の清浄なゲート酸化膜(図示せず)を形成する。

【0113】次いで、図42、図43および図44に示すように、半導体基板1うえのゲート酸化膜上にゲート電極Gを形成する。図44は、メモリセル約1個分の領域を示す半導体基板の平面図であり、図42、図43は、それぞれ図44のA-A断面図、B-B断面図である。このゲート電極Gは、以下のように形成する。まず、ゲート酸化膜の上部に膜厚100nm程度の低抵抗多結晶シリコン膜をCVD法で堆積する。次に、フォトリジスト膜(図示せず)をマスクにして多結晶シリコン膜をドライエッチングすることにより、多結晶シリコン膜からなるゲート電極Gを形成する。図44に示すように、活性領域Ap1上には、転送用MISFETQt1のゲート電極Gと、駆動用MISFETQd1のゲート電極Gが形成され、活性領域Ap2上には、転送用MISFETQt2のゲート電極Gと、駆動用MISFETQd2のゲート電極Gが形成されている。また、活性領域An1上には、負荷用MISFETQp2のゲート電極Gが形成され、活性領域An2上には、負荷用MISFETQp1のゲート電極Gが形成されている。これらのゲート電極は、それぞれ図中のA-A方向に形成され、負荷用MISFETQp1のゲート電極Gと駆動用MISFETQd1のゲート電極とは共通であり、また、負荷用MISFETQp2のゲート電極および駆動用MISFETQd2のゲート電極とは共通である。

【0114】次に、図43に示すように、n型ウエル4上にp型不純物(ボロン)を注入することによってp⁺型半導体領域14を形成し、また、図43には表れないがp型ウエル3上のゲート電極Gの両側にn型不純物(リン)を注入することによってn⁺型半導体領域を形成する。

【0115】次いで、半導体基板1上にCVD法で膜厚40nm程度の窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極Gの側壁にサイドウォールスペーサ16を形成する。

【0116】次に、n型ウエル4上にp型不純物(ボロン)をイオン打ち込みすることによってp⁺型半導体領域18(ソース、ドレイン)を形成し、また、図には表れないがp型ウエル3上にn型不純物(リンまたはヒ素)をイオン打ち込みすることによってn⁺型半導体領

域（ソース、ドレイン）を形成する。

【0117】ここまでの工程で、メモリセルMCを構成する6個のMISFET（駆動用MISFETQd1、Qd2、転送用MISFETQt1、Qt2および負荷用MISFETQp1、Qp2）および周辺回路を構成するnチャネル型MISFETおよびpチャネル型MISFETが完成する。

【0118】続いて、半導体基板1の表面を洗浄した後、半導体基板1上に、スパッタ法によりCo膜およびTi膜を順次堆積し、600℃で1分間の熱処理を施し、半導体基板1の露出部（n⁺型半導体領域17、p⁺型半導体領域18）およびゲート電極G上に、Cosilum（図示せず）を形成する。

【0119】次いで、未反応のCo膜およびTi膜をエッチングにより除去した後、700から800℃で、1分間程度の熱処理を施し、低抵抗のCosilum層（図示せず）を形成する。

【0120】次いで、図45および図46に示すように、半導体基板1上に酸化シリコン膜21を堆積した後、酸化シリコン膜21の表面をCMP法で研磨してその表面を平坦化する。

【0121】次に、フォトリソ膜（図示せず）を、マスクに酸化シリコン膜をドライエッチングすることによって、n⁺型半導体領域（ソース、ドレイン）およびp⁺型半導体領域18（ソース、ドレイン）上にコンタクトホールC1および配線溝HMを形成する（図49参照）。また、転送用MISFETQt1、Qt2のゲート電極G上にコンタクトホールC1を形成する。一方の配線溝HMは、駆動用MISFETQd1のドレイン上から負荷用MISFETQp1のドレイン上を経由し、駆動用MISFETQd2のゲート電極上まで延在している。また、他方の配線溝HMは、駆動用MISFETQd2のドレイン上から負荷用MISFETQp2のドレイン上を経由し、駆動用MISFETQd1のゲート電極上まで延在している（図49参照）。

【0122】次いで、図47、図48および図49に示すように、C1および配線溝HM内に導電性膜を埋め込むことによりプラグP1および配線MD1、MD2（導電層）を形成する。図49は、メモリセル約1個分の領域を示す半導体基板の平面図であり、図47、図48は、それぞれ図49のA-A断面図、B-B断面図である。これらを形成するには、まず、コンタクトホールC1および配線溝HMの内部を含む酸化シリコン膜21の上部にスパッタ法により膜厚10nm程度のTi膜（図示せず）および膜厚50nm程度のTin膜（図示せず）を順次し、500～700℃で1分間熱処理を施す。次いでCVD法によりタングステン膜を堆積し、酸化シリコン膜21の表面が露出するまでエッチバックもしくはCMPを施し、コンタクトホールC1および配線溝HM外部のTi膜、Tin膜およびタングステン膜を

除去する。

【0123】次いで、図50および図51に示すように、酸化シリコン膜21、プラグP1および配線MD1、MD2上に膜厚5nm程度の窒化シリコン膜23を形成する。この窒化シリコン膜23は、下部電極となる配線MD1、MD2と後述するフローティング電極24との間に形成され、容量絶縁膜となる。

【0124】次に、図52、図53および図54に示すように、窒化シリコン膜23上に、スパッタ法により膜厚50nm程度のタングステン膜を堆積し、パターンニングすることによって、配線MD1、MD2上に延在するフローティング電極24を形成する。図54は、メモリセル約1個分の領域を示す半導体基板の平面図であり、図52、図53は、それぞれ図54のA-A断面図、B-B断面図である。このフローティング電極24は、プラグP1上に延在しないようパターンニングする（図54参照）。

【0125】以上の工程により配線MD1と、窒化シリコン膜23とフローティング電極24とで構成される容量Ca1と、配線MD2と、窒化シリコン膜23とフローティング電極24とで構成される容量Ca2を形成することができる。即ち、配線MD1とMD2との間（蓄積ノードAB間）には、容量Ca1とCa2が直列に接続されることとなる。

【0126】このように、本実施の形態によれば、配線MD1、MD2上に、窒化シリコン膜23を介してフローティング電極24を形成したので、SRAMのメモリセルに入射したα線によるソフトエラーを低減することができる。

【0127】また、配線MD1、MD2は埋め込み配線であるため、窒化シリコン膜23の平坦性を確保することができ、容量の信頼性を向上させることができる。

【0128】また、フローティング電極24は、図55に示すように、メモリセルMC毎に、分割された状態で配置されているので、実施の形態1と同様に、フローティング電極FEが不良になるためには、フローティング電極FEと配線MD1との間の耐圧が不良であり、かつ、フローティング電極FEと配線MD2との間の耐圧が不良である場合に限られるため、歩留まりの低下を回避することができる。図55は、メモリセル約4個分（縦2個×横2個）の領域を示す半導体基板の平面図である。

【0129】また、例えば、蓄積ノードAおよびBに、それぞれ接続される下部電極（LE）および上部電極（UE）を設ける場合には、これらの電極と蓄積ノードAおよびB（ソース、ドレイン）とを接続するためのスルーホールを形成しなければならず、マスク数や工程数が増加し、また、容量絶縁膜の品質が劣化するといった問題が生じる。

【0130】このような下部電極および上部電極を設け

る工程例を説明する。まず、図62(a)に示すように、駆動用MISFETQd1のドレイン上の層間絶縁膜THを除去し、コンタクトホールCAを形成した後、このコンタクトホール内に金属層を埋め込むことによりプラグPAを形成し、このプラグPA上に下部電極LEを形成する。次いで、図62(b)に示すように、この下部電極LE上に容量絶縁膜CZを形成し、この後、図62(c)に示すように、容量絶縁膜CZ上のレジスト膜(図示せず)をマスクに、駆動用MISFETQd2のドレイン上の層間絶縁膜を除去(エッチング)し、コンタクトホールCBを形成する。次に、図62(d)に示すように、このコンタクトホールCB内に金属層を埋め込むことによりプラグPBを形成し、さらに、このプラグPB上に上部電極UEを形成する。その結果、下部電極(LE)、上部電極(UE)および容量絶縁膜CZによって、蓄積ノードAB間に容量が形成される。

【0131】しかしながら、前述の工程の場合、コンタクトホールCA、下部電極LE、コンタクトホールCBおよび上部電極UEをパターニングするための4枚のマスクが必要であり、また、工程数が増加する。

【0132】これに対して、本実施の形態によれば、フローティング電極FEをパターニングするだけでよく、マスク数および工程数の削減を図ることができる。

【0133】また、図62(a)～(d)の工程においては、膜質の向上が要求される容量絶縁膜CZ表面が、レジスト膜の形成、ホトリソグラフィ、エッチングおよびレジスト膜除去といった種々の工程に晒されるため、容量絶縁膜の品質が劣化してしまい、歩留まりの低下に繋がるおそれがあった。

【0134】これに対して、本実施の形態においては、容量絶縁膜CZ上にレジスト膜を形成することがなく、容量絶縁膜の膜質を向上させることができる。その結果、歩留まりを向上させることができる。

【0135】次いで、フローティング電極24上に層間絶縁膜を介し第1層配線M1および第2層配線M2が形成される。引き続き、これらの配線の形成工程について図56～図61を参照しながら説明する。

【0136】まず、図56、図57および図58に示すように、フローティング電極24上に、酸化シリコン膜25をCVD法により堆積する。次いで、プラグP1上の酸化シリコン膜25および窒化シリコン膜23をエッチングにより除去することによりコンタクトホールC2を形成する。図58は、メモリセル約1個分の領域を示す半導体基板の平面図であり、図56、図57は、それぞれ図58のA-A断面図、B-B断面図である。

【0137】次いで、コンタクトホールC2内に導電性膜を埋め込むことによりプラグP2を形成する。まず、コンタクトホールC2の内部を含む酸化シリコン膜25の上部にスパッタ法により膜厚10nm程度のTi膜(図示せず)および膜厚50nm程度のTiN膜を順次

堆積し、次いでCVD法によりタングステン膜を堆積し、酸化シリコン膜25の表面が露出するまでエッチバックもしくはCMPを施し、コンタクトホールC2外部のTi膜、TiN膜およびタングステン膜を除去することによりプラグP2を形成する。

【0138】続いて、酸化シリコン膜25およびプラグP2上に、第1層配線M1を形成する。まず、スパッタ法により膜厚10nm程度のTi膜(図示せず)および膜厚50nm程度のTiN膜を順次堆積し、次いでCVD法によりタングステン膜を堆積し、パターニングすることにより第1層配線M1を形成する。第1層配線M1のうち、転送用MISFETQt1とQt2のゲート電極GをプラグP1、P2を介して接続する第1層配線M1はワード線WLとなる。

【0139】次いで、図59、図60および図61に示すように、第1層配線M1および酸化シリコン膜25上に、酸化シリコン膜27をCVD法により堆積し、次いで、第1層配線M1上の酸化シリコン膜27をエッチングにより除去することによりコンタクトホールC3を形成する(図61参照)。

【0140】次いで、コンタクトホールC3内に導電性膜を埋め込むことによりプラグP3を形成する。このプラグP3は、プラグP2と同様に形成する(図61参照)。

【0141】続いて、酸化シリコン膜27およびプラグP3上に、第2層配線M2を形成する(図59、図61参照)。まず、スパッタ法により膜厚10nm程度のTi膜(図示せず)および膜厚50nm程度のTiN膜を順次堆積し、次いで膜厚300nm程度のアルミニウム膜を形成し、パターニングすることにより第2層配線M2を形成する。

【0142】この2層配線M2を介して駆動用MISFETQd1およびQd2のソースに基準電位(Vss)が供給され、負荷用MISFETQp1およびQp2のソースに電源電位(Vcc)が供給される。また、転送用MISFETQt1、Qt2の一端と接続された第2層配線はデータ線(DL、/DL)となる。

【0143】以上の工程により、図38を用いて説明したSRAMメモリセルが、ほぼ完成する。

【0144】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0145】なお、実施の形態2および3においては、半導体素子としてMISFETを形成したが、MISFETに限られず、バイポーラトランジスタ等の他の素子を形成することもできる。

【0146】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。

【0147】半導体集積回路装置の電源配線および接地配線に絶縁膜を介して延在する導電性膜を形成したので、電源配線および接地配線上のノイズを低減することができる。また、この導電性膜を複数に分割することにより歩留まりを向上させることができる。また、この導電性膜を金属膜とすることで、キャパシタの過渡応答を良くすることができる。

【0148】また、それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルの一对のnチャネル型MISFETのゲート電極とドレインとを接続する第1および第2の導電層上に容量絶縁膜を介し第3の導電層を形成したので、メモリセルに入射した α 線によるソフトエラーを低減することができる。

【0149】また、メモリセルをマトリックス状に複数配置したメモリセルアレイにおいてこの第3の導電層をメモリセルごとに分割したので、歩留まりを向上させることができる。

【0150】また、集積度の向上、ノイズ低減用キャパシタの形成工程の削減や信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】キャパシタ歩留まりと分割数(N)との関係を示す図である。

【図7】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図12】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図13】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図14】本発明の実施の形態2である半導体集積回路

装置の製造方法を示す基板の要部断面図である。

【図15】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図16】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図17】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図18】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図19】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図20】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図21】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図22】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図23】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図24】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図25】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図26】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図27】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図28】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図29】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図30】本発明の実施の形態4である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図31】本発明の実施の形態4である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図32】本発明の実施の形態4である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図33】本発明の実施の形態4である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図34】本発明の実施の形態4である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図35】本発明の実施の形態4である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図36】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図37】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図38】本発明の実施の形態5であるSRAMのメモリセルを示す等価回路図である。

【図39】本発明の実施の形態5である半導体集積回路

装置の製造方法を示す基板の要部断面図である。

【図 40】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 41】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 42】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 43】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 44】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 45】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 46】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 47】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 48】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 49】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 50】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 51】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 52】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 53】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 54】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 55】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 56】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 57】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 58】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 59】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 60】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 61】本発明の実施の形態 5 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 62】(a) ~ (d) は、本発明の実施の形態 5 の効果を説明するための図である。

【符号の説明】

1 半導体基板

2 素子分離

3 p 型ウエル

4 n 型ウエル

9 ゲート電極

14 n⁻型半導体領域

15 酸化シリコン膜

16 サイドウォールスペーサ

18 n⁺型半導体領域

21 酸化シリコン膜

23 窒化シリコン膜

24 フローティング電極

25 酸化シリコン膜

27 酸化シリコン膜

201 素子形成領域

202 コア領域

A、B 蓄積ノード

An1、An2 活性領域

Ap1、Ap2 活性領域

Ba バリア膜

BM バリアメタル膜 (バリア層)

BP ボンディングパッド

BPn、BPo、BPa、BPb ハンダバンプ電極

C1~C7 コンタクトホール

CA、CB コンタクトホール

CZ キャパシタ絶縁膜 (容量絶縁膜)

CZ1 キャパシタ絶縁膜

CZ5~CZ7 キャパシタ絶縁膜

Ca1、Ca2 キャパシタ (容量)

DL、/DL データ線

FE フローティング電極

FE1 フローティング電極

FE5~FE7 フローティング電極

G ゲート電極

H 配線溝用絶縁膜

HM 配線溝

HMa、HMb 配線溝

Ha 窒化シリコン膜

Hb 酸化シリコン膜

INV1、INV2 CMOSインバータ

LE 下部電極

L1 ローカルインターコネクト配線

M 銅膜

M1、M1a、M1b 第1層配線

M2 第2層配線

M3 第3層配線

M4 第4層配線

M5、M5a、M5b 第5層配線

M6a、M6b 第6層配線

M7、M7a、M7b 第7層配線

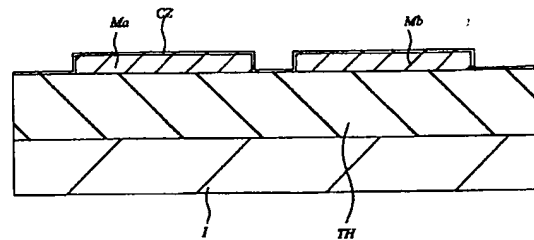
MC メモリセル

50 MD1 配線

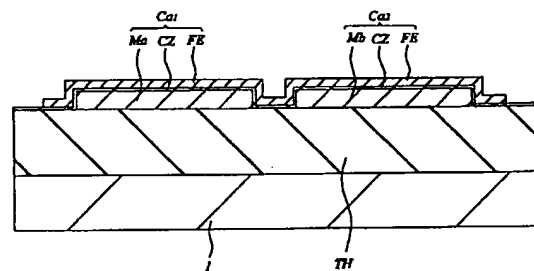
30

Q t 1 転送用MISFET
Q t 2 転送用MISFET
TH 層間絶縁膜
TH1~TH7 層間絶縁膜
UC ユニットキャパシタ
UE ユニット電極
UE 上部電極
W タングステン膜
WL ワード線

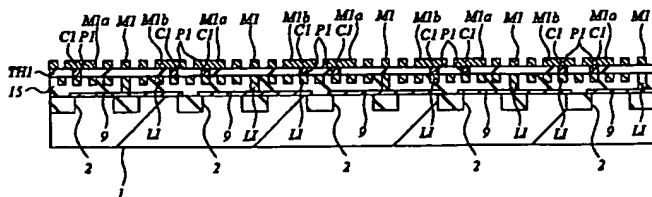
【図 2】



【図 4】

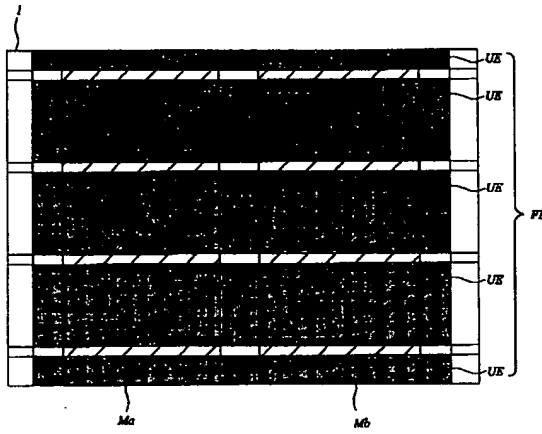


8



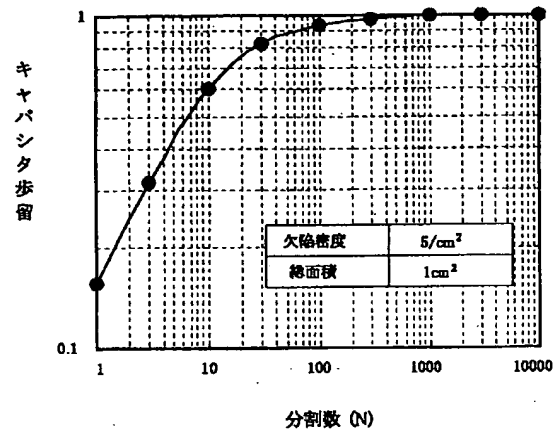
【図 5】

図 5



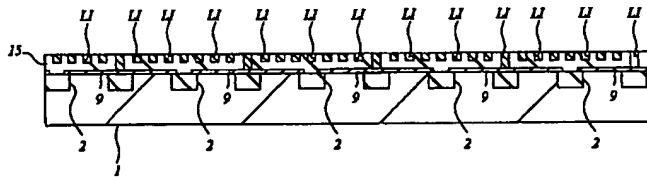
【図 6】

図 6



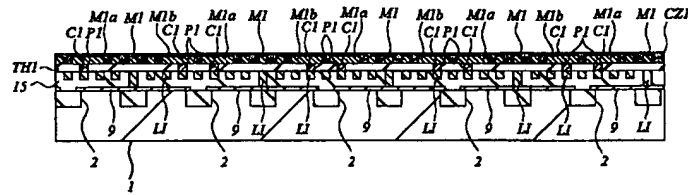
【図 7】

図 7



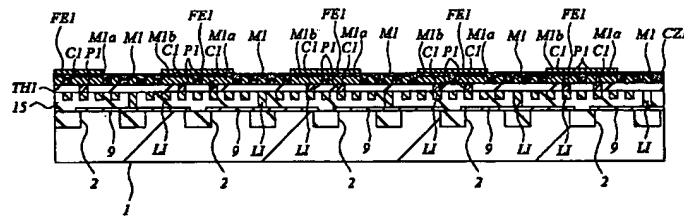
【図 9】

図 9



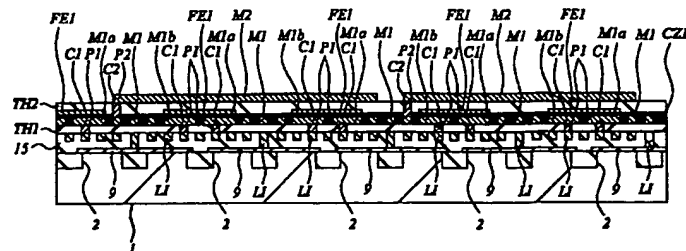
【図 10】

図 10



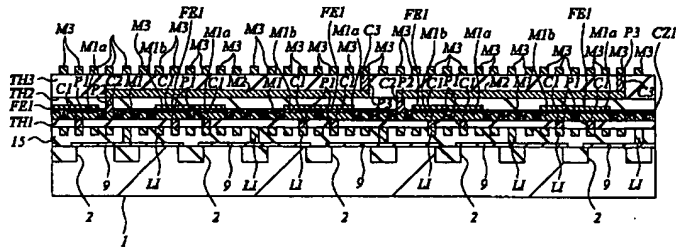
【図 11】

図 11



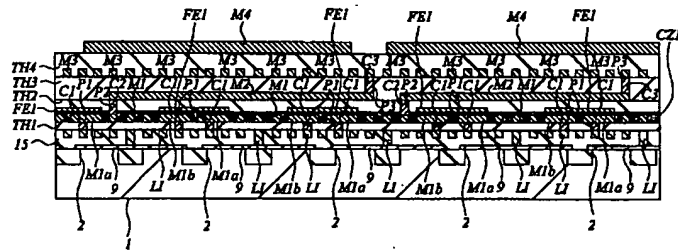
【図 12】

図 12



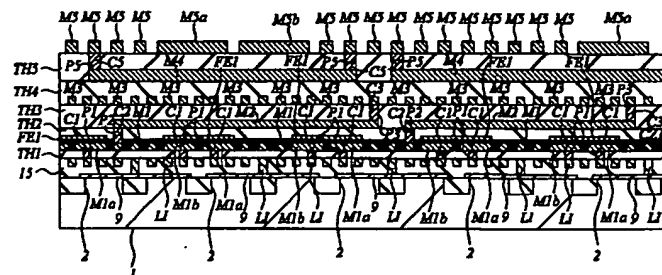
【図 13】

図 13



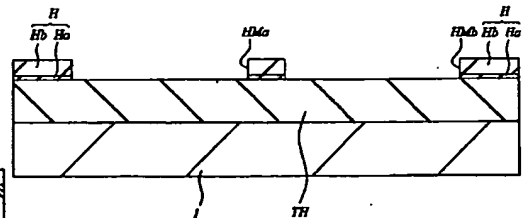
【図 14】

図 14

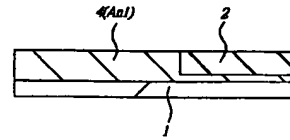
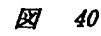


【図 30】

図 30



【図 40】



43

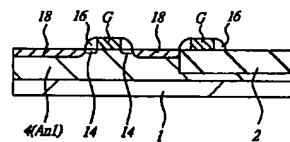
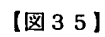
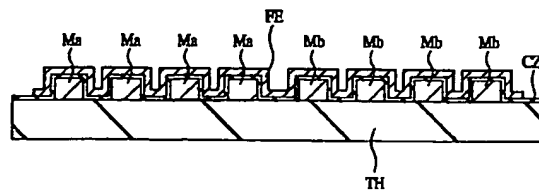


Figure 20

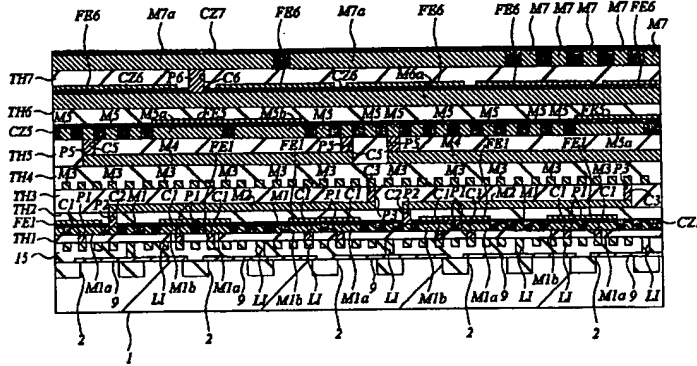


【図 36】



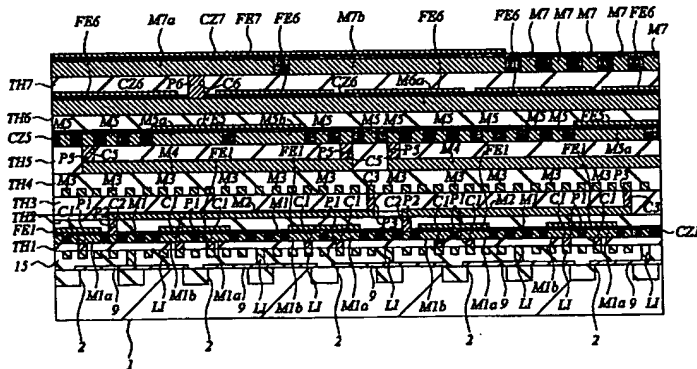
【図 21】

図 21



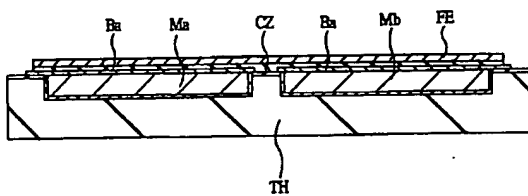
【図 22】

図 22



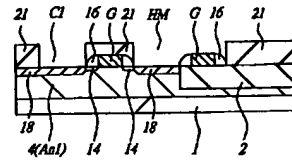
【図 37】

図 37



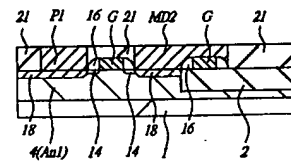
【図 46】

図 46



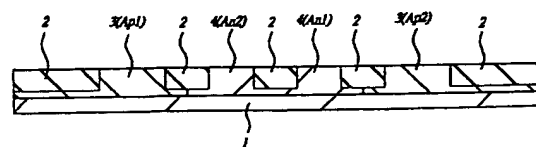
【図 48】

図 48



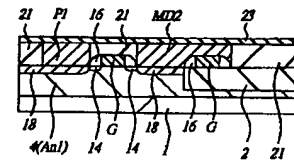
【図 39】

図 39



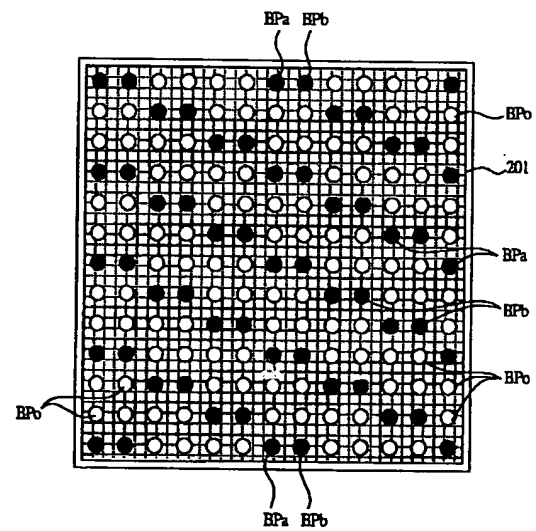
【図 5 1】

51



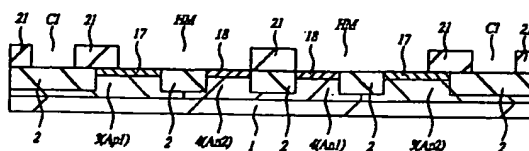
【図 29】

29



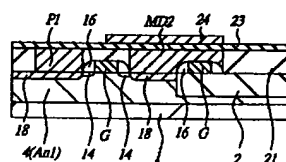
【図 45】

45

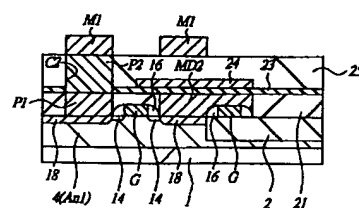


【図 5 3】

53

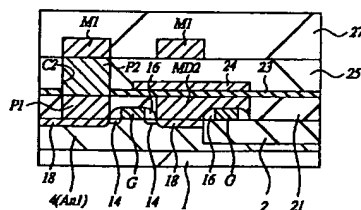


57



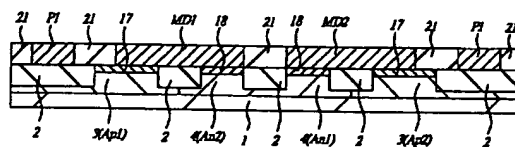
【図 60】

60



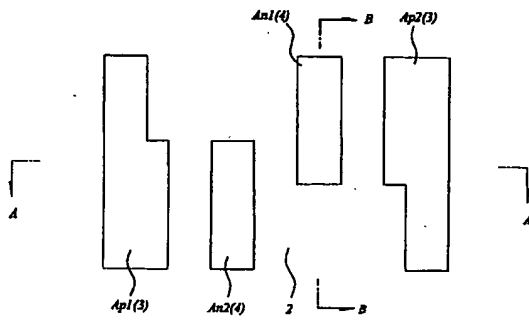
【图 47】

47



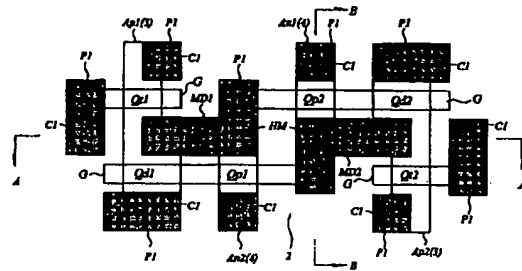
【図 41】

図 41



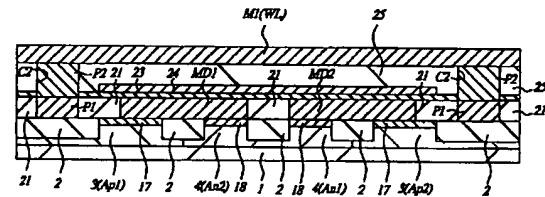
【図 49】

図 49



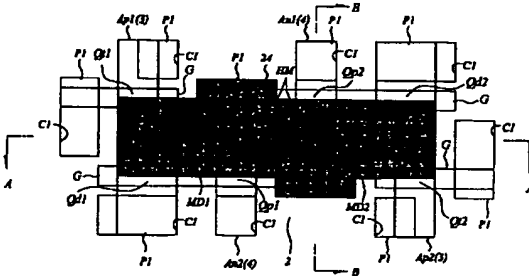
【図 56】

図 56



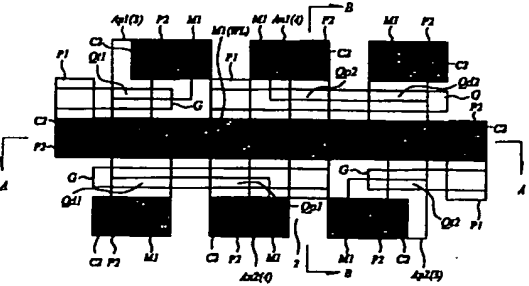
【図 54】

図 54



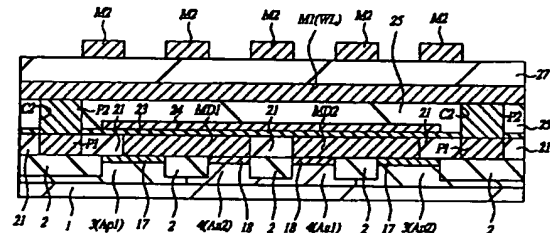
【図 58】

図 58



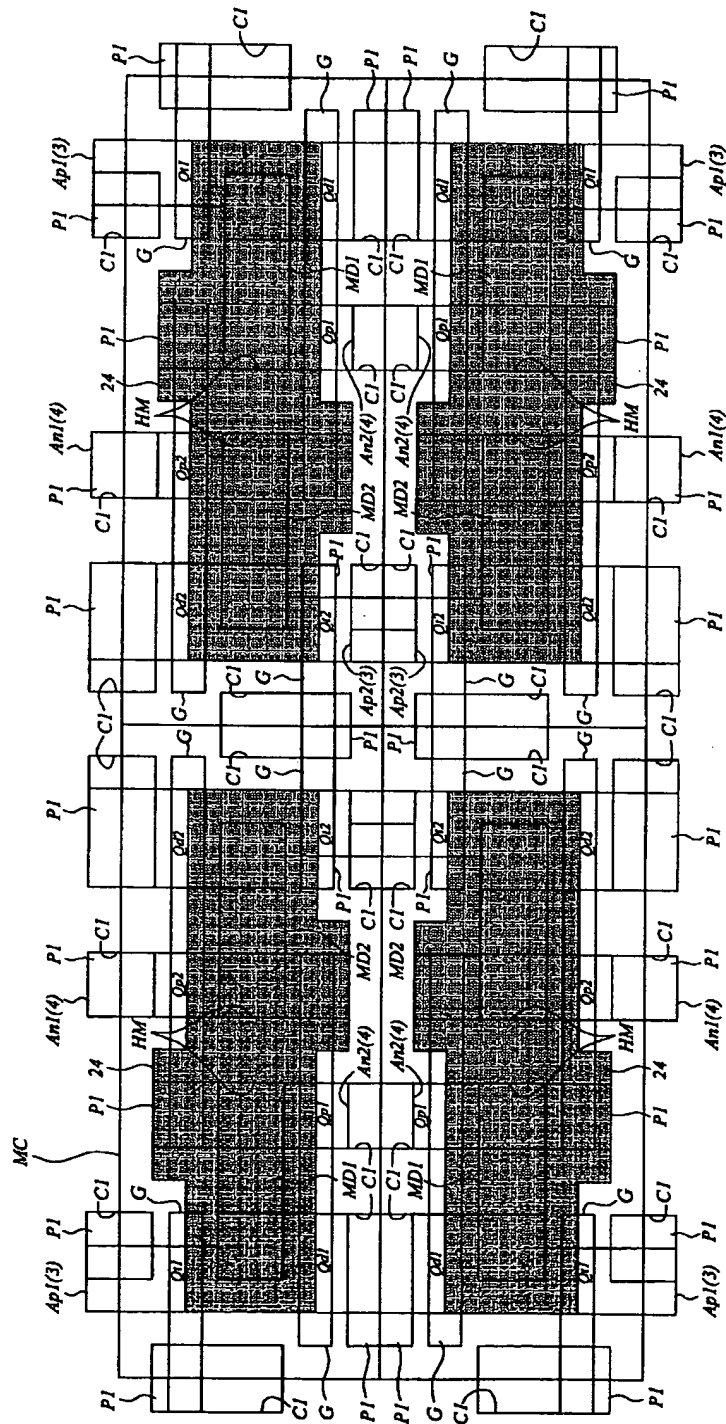
【図 59】

図 59



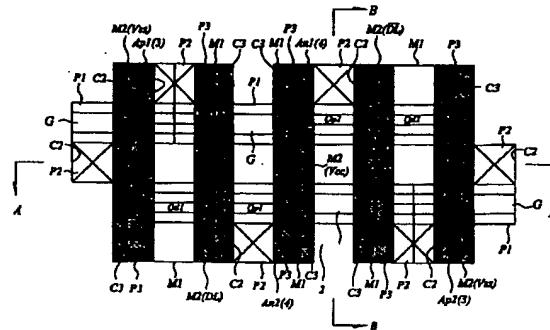
【図 55】

55



【図 61】

図 61



フロントページの続き

Fターム(参考) 5F038 AC02 AC05 AC15 AC18 BE07
 BH19 CA10 CD02 CD03 CD18
 CD20 DF05 EZ11 EZ20
 5F083 BS05 GA12 GA18 JA06 JA36
 JA37 JA39 JA40 MA06 MA18
 MA19 NA08 PR40